

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-134082

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H03K 19/0175

(21)Application number : 10-301978

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.10.1998

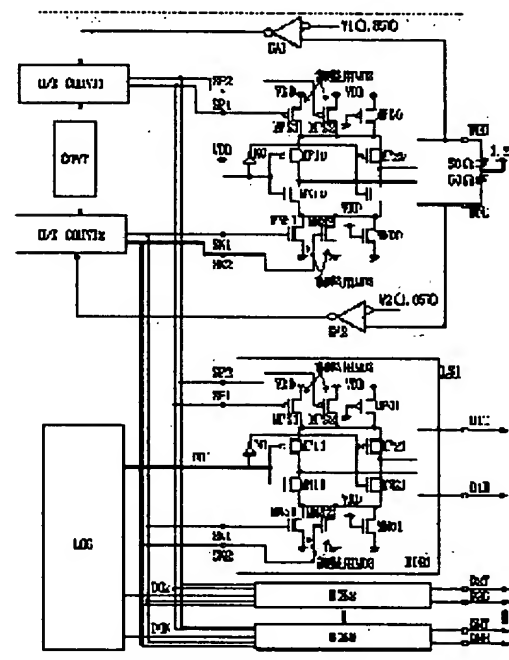
(72)Inventor : AIDA SHINYO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit device provided with an output circuit that can stably generate a low amplitude signal.

SOLUTION: A current adjustment MOSFET is added to each of a plurality of output circuits of a low voltage differential signal LVDS configuration, one of them is used for a dummy output circuit, a termination resistor connects to an output terminal to generate a high level and a low level, they are respectively compared with a high level and a low level of a reference output, a control signal of the current adjustment MOSFET is generated to obtain a desired output level and the control signal is fed to the current adjustment MOSFET of a plurality of the other output circuits respectively to adjust the current automatically.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



620000290000134082

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-134082

(P2000-134082A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl.⁷

H03K 19/0175

識別記号

FI

H03K 19/00

テーマコード (参考)

101F 5J056

審査請求 未請求 請求項の数 5 OL (全 8 頁)

(21) 出願番号 特願平10-301978

(22) 出願日 平成10年10月23日 (1998.10.23)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 會田 辰洋

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人 100081938

弁理士 徳若 光政

Fターム (参考) 5J056 AA00 AA04 AA40 BB18 BB21

CC00 CC17 DD13 DD28 EE07

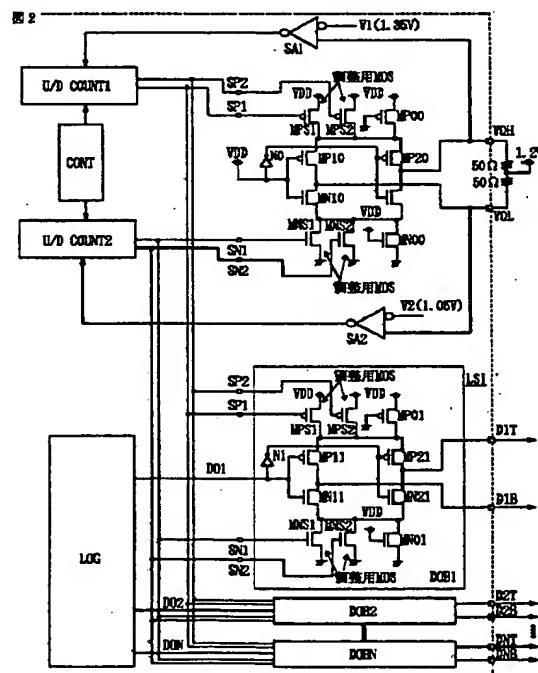
EE11 FF07 GG04

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 低振幅信号を安定的に形成することができる出力回路を備えた半導体集積回路装置を提供する。

【解決手段】 LVDS構成の複数の出力回路にそれぞれ電流調整用MOSFETを付加し、その1を1つのダミー出力回路として用いて出力端子に終端抵抗を接続してハイレベルとロウレベルを形成し、それを基準の出力ハイレベルとロウレベルレベルとそれぞれ比較して所望の出力レベルになるように上記電流調整用MOSFETの制御信号を形成するとともに、かかる制御信号を他の複数の出力回路の電流調整用MOSFETにそれぞれ供給して自動電流調整を行う。



1

【特許請求の範囲】

【請求項 1】 電源電圧側に設けられた第 1 の定電流源 MOSFET と、

回路の接地電位側に設けられた第 2 の定電流源 MOSFET と、

上記第 1 と第 2 の定電流源 MOSFET の間に設けられ、正相の入力信号を受けて第 1 の出力端子から送出される第 1 の出力信号を形成する第 1 の CMOS 出力回路と、

上記第 1 と第 2 の定電流源 MOSFET の間に設けられ、上記正相の入力信号に対して逆相の関係にある負相の入力信号を受けて第 2 の出力端子から送出させる第 2 の出力信号を形成する第 2 の CMOS 出力回路と、

上記第 1 及び第 2 の定電流源 MOSFET にそれぞれ並列形態に設けられた複数個からなる第 1 と第 2 の電流調整用 MOSFET 回路とからなる複数のレベル調整機能付の複数からなる出力回路を備え、

上記複数の出力回路のうち 1 つの出力回路をダミー出力回路として用いて上記第 1 と第 2 の出力端子間に所定の抵抗値にされた終端抵抗を接続し、上記第 1 の出力回路により上記第 1 の出力端子を介してハイレベル側の出力信号を送出させ、上記第 2 の出力回路により上記第 2 の出力端子を介してハイレベル側の出力信号を送出させ、上記ダミー出力回路の第 1 の出力端子の電圧と出力すべきハイレベルに対応した第 1 の基準電圧とを第 1 の比較回路で比較して上記第 1 の出力端子の電圧が所望の信号レベルになるように上記第 1 の電流調整用 MOSFET を制御する第 1 の制御信号を形成し、

上記ダミー出力回路の第 2 の出力端子の電圧と出力すべきロウレベルに対応した第 2 の基準電圧とを第 2 の比較回路で比較して上記第 2 の出力端子の電圧が所望の信号レベルになるように上記第 2 の電流調整用 MOSFET を制御する第 2 の制御信号を形成する制御回路とを設け、

上記制御回路により形成された上記第 1 と第 2 の制御信号を、上記ダミー出力回路を除く他の出力回路に設けられた上記第 1 と第 2 の電流調整用 MOSFET に供給してなることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 において、

上記第 1 と第 2 の電流調整用 MOSFET は、2 進の重みを持つような電流を形成するものであり、

上記制御回路は、第 1 と第 2 の 2 進のカウンタ回路を備え、上記第 1 と第 2 の比較回路により計数動作を行い、その計数出力が対応する 2 進の重みを持つ電流調整用 MOSFET のゲートに供給されるものであることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 において、

上記制御回路は、

第 1 の動作では上記第 1 の比較回路及び第 1 のカウンタ回路によりハイレベルのレベル調整又は上記第 2 の比較

2

回路及び第 2 のカウンタ回路によりロウレベルのレベル調整を行い、

第 2 の動作では上記第 2 の比較回路及び第 2 のカウンタ回路によりロウレベルのレベル調整又は上記第 1 の比較回路及び第 1 のカウンタ回路によりハイレベルのレベル調整を行い、

少なくとも第 3 の動作では上記第 1 の比較回路及び第 1 のカウンタ回路によりハイレベルのレベル調整又は上記第 2 の比較回路及び第 2 のカウンタ回路によりロウレベルのレベル調整を行うものであることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 2 において、

上記終端抵抗は、その中点に上記出力すべきハイレベルとロウレベルの中点電位が供給されるものであることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 において、

上記制御回路は、

上記第 1 の比較回路及び第 1 のカウンタ回路によりハイレベルのレベル調整と上記第 2 の比較回路及び第 2 のカウンタ回路によりロウレベルのレベル調整とを同時に行うものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に関し、特に LVDS (Low Voltage Differential Signal) 構成の出力回路を備えたものに利用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置で構成されるジデジタル制御システムにおいて、半導体集積回路装置相互の高速な信号伝送方式として LVDS がある。この LVDS では、ツイストペア線により信号伝送路を 100Ω で終端し、正相信号と負相信号を伝送させる。上記伝送線路には約 4mA 程度の電流を流すので、上記終端抵抗には約 400mV のような低信号振幅となる。半導体集積回路装置に形成される MOSFET (絶縁ゲート型電界効果トランジスタ) は、そのプロセスバラツキが比較的大きいので、上記のような低振幅信号を安定して形成するために出力回路には電流調整機能を設けることが必要とされる。

【0003】

【発明が解決しようとする課題】本願発明者においては、上記のような低振幅の信号を安定的に形成するために、半導体集積回路装置に自動出力レベル調整回路を付加することを考えた。

【0004】この発明の目的は、低振幅信号を安定的に形成することができる出力回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

40

50

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、LVDS構成の複数の出力回路にそれぞれ電流調整用MOSFETを付加し、その1をつのダミー出力回路として用いて出力端子に終端抵抗を接続してハイレベルとロウレベルを形成し、それを基準の出力ハイレベルとロウレベルレベルとそれぞれ比較して所望の出力レベルになるように上記電流調整用MOSFETの制御信号を形成するとともに、かかる制御信号を他の複数の出力回路の電流調整用MOSFETにそれぞれ供給して自動電流調整を行う。

【0006】

【発明の実施の形態】図1には、この発明に係る半導体集積回路装置の出力回路とその電流調整回路の一実施例の回路図が示されている。同図の各回路は、公知のCMOS（相補型MSO）集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。同図には、点線で示した半導体集積回路装置LSIのうち、上記出力回路と電流調整回路に関連する部分が代表として例示的に示されている。それ故、半導体集積回路装置LSIとして必要とされる入力回路等の他の回路は周略されている。

【0007】電流調整回路に用いられるダミー出力回路は、Pチャンネル型MOSFETMP10とNチャンネル型MOSFETMN10からなる第1のCMOSインバータ回路と、Pチャンネル型MOSFETMP20とNチャンネル型MOSFETMN20からなる第2のCMOSインバータ回路と、これらの2つのCMOSインバータ回路の動作電流を形成する電流源回路から構成される。電流源回路は、そのゲートに定常的に回路の接地電位が与えられることにより、定電流源として動作するPチャンネル型MOSFETMP00と、そのゲートに定常的に電源電圧VDDが供給されることにより、定電流源として動作するNチャンネル型MOSFETMN00と、これらにそれぞれ並列形態に接続させる電流調整用のPチャンネル型MOSFETMPS1、MPS2と、Nチャンネル型MOSFETMNS1、PMNS2から構成される。これらのMOSFETMS1とMS2及びMN1とMN2は、特に制限されないが、それぞれ2進の重みを持つように素子サイズが1対2のように形成される。

【0008】上記CMOSインバータ回路の出力は、それぞれ外部端子に導かれ、かかる外部端子には100Ωの終端抵抗が設けられる。上記2つのCMOSインバータ回路は、互いに相補的な出力信号を形成するように一方のCMOSインバータ回路（MP10とMN10）のゲートに供給される入力信号は、インバータ回路N0を通して他方のCMOSインバータ回路（MP20とMN20）のゲートに供給される。この実施例では、入力端

子には電源電圧VDDに対応したハイレベルが固定的に供給される。それ故、一方のCMOSインバータ回路のNチャンネル型MOSFETMN10がオン状態となり、そのドレインが接続された出力端子にはロウレベルVOLが出力され、他方のCMOSインバータ回路のPチャンネル型MOSFETMP20がオン状態となり、そのドレインが接続された出力端子にはハイレベルVOHが出力される。

【0009】上記ハイレベル出力VOHは、ハイレベルに対応した電圧V1を基準電圧とするセンス回路SA1の入力に供給され、ここで上記電圧V1との電圧比較が行われる。上記ロウレベル出力VOLは、ロウレベルに対応した電圧V2を基準電圧とするセンス回路SA2の入力に供給され、ここで上記電圧V2との電圧比較が行われる。前記LVDS出力回路では、上記電圧V1は1.35Vに設定され、上記電圧V2は1.05Vに設定される。

【0010】例えば、MOSFETのプロセスバラツキを考慮して、上記定電流MOSFETMP00で形成された電流では、上記ハイレベル出力VOH<1.35Vのように設定されており、上記ロウレベルの出力VOL>1.05Vのように設定される。これに対応して、カウンタ回路COUNT1は、初期値が最大値のオール1に設定され出力SP1とSP2が共にハイレベルにされ、Pチャンネル型MOSFETMS1とMS2は共にオフ状態である。カウンタ回路COUNT2は、初期値が最小値のオール0に設定され出力SN1とSN2が共にロウレベルにされ、Nチャンネル型MOSFETMN1とMN2は共にオフ状態である。

【0011】制御回路CONTは、上記のようにカウンタ回路COUNT1とCOUNT2を初期状態に設定し、電流調整動作を行う。例えば、第1の動作では、センス回路SA1の出力に対応してカウンタ回路COUNT1をダウン計数動作を行わせる。これにより、計数値が11から10のように減少し、出力信号SP1のロウレベルによりMOSFETMS1がオン状態にされる。これにより、MOSFETMS1から1の調整電流が流れるようにされるので、出力レベルVOHが増大する。もしも、このときの出力レベルVOH<V1なら、センス回路SA1の出力によりカウンタ回路COUNT1が-1のダウン計数動作を行い、計数値が01のように変化し、MOSFETMS1がオフ状態にMS2がオン状態になってその2の調整電流のように増加させて出力レベルVOHを増大させる。

【0012】もしも、このときも出力レベルVOH<V1なら、センス回路SA1の出力によりカウンタ回路COUNT1が-1のダウン計数動作を行い、計数値が00のように変化し、MOSFETMS1とMS2がオン状態になってその3の調整電流のように増加させて出力レベルVOHを増大させる。この実施例では、2つの調

整用MOSFETを用いているが、実際には例えば4個等の2進の重みを持つMOSFETを用いて16通りの調整電流を形成し、 $VOH > V1$ になった時点でカウンタ回路CONT1の動作を停止させる。

【0013】制御回路CONTは、第2の動作では、センス回路SA2の出力に対応してカウンタ回路COUNT2をアップ計数動作を行わせる。これにより、計数値が00から01のように減少し、出力信号SN1のハイレベルによりMOSFETMN1がオン状態にされる。これにより、MOSFETMN1から1の調整電流が流れるようにされるので、出力レベルVOLが低下する。もしも、このときの出力レベル $VOL > V2$ なら、センス回路SA2の出力によりカウンタ回路COUNT2が+1のアップ計数動作を行い、計数値が10のように変化し、MOSFETMN1がオフ状態にMN2がオン状態になってその2の調整電流のように増加させて出力レベルVOLを低下させる。

【0014】もしも、このときも出力レベル $VOL > V2$ なら、センス回路SA2の出力によりカウンタ回路COUNT2が+1のアップ計数動作を行い、計数値が11のように変化し、MOSFETMN1とMN2がオン状態になってその3の調整電流のように増加させて出力レベルVOLを低下させる。この実施例では、2つの調整用MOSFETを用いているが、実際には例えば4個等の2進の重みを持つMOSFETを用いて16通りの調整電流を形成し、 $VOL > V2$ になった時点でカウンタ回路CONT2の動作を停止させる。

【0015】上記出力端子の出力レベルVOHとVOLとは、終端抵抗により結合されており、上記ロウレベル出力VOLのレベル調整動作によって、VOHが影響を受けて低下する。そこで、第3の動作により、上記第1の動作と同じ動作が繰り返えられる。つまり、カウンタ回路CONT1は上記第1の計数値を保持しており、そのときのハイレベル出力 $VOH < V1$ であるなら、 $VOH > V1$ になるまでダウン計数動作を行わせる。

【0016】以下、必要なら再度ロウレベル出力VOLについても、上記第2の動作の続きを行うようにするものであってもよい。あるいは、第1の動作では、ロウレベル出力VOLの調整を行い、第2の動作ではハイレベル出力VOHの調整を行うように上記順序を逆にして行うようにするものであってもよい。

【0017】上記のようなカウンタ回路COUNT1とCOUNT2で形成された計数値は、それぞれのカウンタ回路COUNT1とCOUNT2の動作が停止させられることにより保持される。かかる計数出力が、上記出力回路と同じ構成にされた出力回路DOB1~DOBNの対応する調整信号SP1、SP2及びSN1、SN2として用いられる。これらの出力回路DOB1~DOBNは、例えばCMOSゲートアレイ等で構成された内部論理回路LOGで形成され、他の半導体集積回路装置に

出力すべき信号DO1~DONを受けて、それぞれに対応する出力端子D1T、D1B~DNT、DNBから送出させる。これらの出力端子D1T、D1B~DNT、DNBに対応した終端抵抗は、図示しない受信側の半導体集積回路装置の一对の入力端子間に接続される。

【0018】上記のような動作は、電源投入時に行うことその他、半導体集積回路装置が信号出力を開始するときはその都度行うようにするものであってもよい。あるいは、温度センサを設けておいて、一定温度を超えたときに上記調整動作を行うようにするものであってもよい。この場合、カウンタ回路COUNT1とCOUNT2は、アップ/ダウン(U/D)動作を行うものが用いられており、カウンタ回路COUNT1の動作で説明すると、再調整動作開始時に $VOH > V1$ のときには前記とは逆に+1のアップ計数動作が行われる。このアップ計数動作は $VOH < V1$ まで行われる。また、再調整動作開始時に $VOH < V1$ のときには前記同様に-1のダウン計数動作が $VOH > V1$ になるまで行われる。つまり、出力信号VOHは、基準電圧V1を中心にして上記電流調整MOSFETの最小調整電流に対応した調整電圧を ΔV とすると、出力レベルVOHは $V1 \pm \Delta V$ の範囲に収まるようにされる。

【0019】上記同様にカウンタ回路COUNT2の動作においては、再調整動作開始時に $VOL < V2$ のときには前記とは逆に-1のダウン計数動作が行われる。このダウン計数動作は $VOL > V2$ まで行われる。また、再調整動作開始時に $VOL > V2$ のときには前記同様に+1のアップ計数動作が $VOL < V2$ になるまで行われる。つまり、出力信号VOLは、基準電圧V2を中心にして上記電流調整MOSFETの最小調整電流に対応した調整電圧を ΔV とすると、出力レベルVOLも $V2 \pm \Delta V$ の範囲に収まるようにされる。

【0020】図2には、この発明に係る半導体集積回路装置の出力回路とその電流調整回路の他の一実施例の回路図が示されている。前記図1の実施例では、出力ハイレベルVOHと出力ロウレベルVLOとをそれぞれ交互に調整するものであるために、制御が複雑になるとともに時間がかかるという問題が生じる。この実施例では、1回の動作により出力ハイレベルVOHとVOLの調整を同時に行うように工夫されている。

【0021】この実施例では、一对の出力端子間に設けられる終端抵抗を50Ωづつに分けて、その中点に信号レベルの中心電圧、例えば1.2Vを供給するものである。これにより、制御回路CONTは、上記のようにカウンタ回路COUNT1とCOUNT2を初期状態に設定し、第1の動作では、センス回路SA1の出力に対応してカウンタ回路COUNT1をダウン計数動作を行わせ、センス回路SA2の出力に対応してカウンタ回路COUNT1をアップ計数動作を行わせる。

【0022】これにより、カウンタ回路COUNT1に

おいては、前記同様に計数値が11から10のように減少し、出力信号SP1のロウレベルによりMOSFETMS1がオン状態にされ、MOSFETMS1から1の調整電流が流れるようにされるので、出力レベルVOHが増大する。もしも、このときの出力レベルVOH<V1なら、センス回路SA1の出力によりカウンタ回路COUNT1が-1のダウン計数動作を行い、計数値が01、00のように順次に変化し、VOH>V1になった時点でカウンタ回路CONT1の動作が停止する。

【0023】制御回路CONTは、上記第1の動作のカウンタ回路COUNT2の制御において、前記同様に計数値を00から01のように増加させ、出力信号SN1のハイレベルによりMOSFETMN1をオン状態にし、MOSFETMN1から1の調整電流が流れるようにするので、出力レベルVOLが減少する。もしも、このときの出力レベルVOL>V2なら、センス回路SA2の出力によりカウンタ回路COUNT2が+1のアップ計数動作を行い、計数値が10、11のように順次に変化し、VOL<V2になった時点でカウンタ回路CONT2の動作が停止する。このように、2つの出力レベルVOHとVOLとが同時に調整されることにより、単時間でしかも互いにレベル調整の影響を受けないので高い精度でのレベル設定が可能になるものである。

【0024】図3には、この発明に係る半導体集積回路装置を用いた信号伝送方法の一例を示す構成図が示されている。同図(A)において、半導体集積回路装置LSI1は、出力側とされて前記のような出力回路が設けられる。出力回路の一对の出力信号はツイストペア線を介して半導体集積回路装置LSI2の差動回路からなる入力回路に伝えられる。受信回路側では、一对の入力端子間に100Ωの終端抵抗が設けられており、上記半導体集積回路装置LSI1の出力回路から約4mAのような電流が流れる。これにより、終端抵抗の両端では約400mVのような入力信号が伝えられ、それを半導体集積回路装置LSI2の差動回路からなる入力回路で受けて、内部回路に取り込むようにするものである。

【0025】図3の(B)には、上記信号伝送路で発生する電圧波形図が示されている。上記のような出力回路においては、出力回路のNチャンネル型MOSFETでの電圧ロスが発生して、出力ロウレベルが約1.0V程度となり、それに0.4V(400mV)の信号電圧が発生するので、出力ハイレベルは約1.4V程度になる。したがって、上記ハイレベルとロウレベルの中点電圧は1.2V程度になるので、前記図2の実施例のように終端抵抗を1/2の50Ωずつに分割し、その中点に1.2Vのような中点電圧を供給することにより、それを基準にした半分ずつの信号振幅に対応したハイレベル出力VOHとVOLを得るようにすることができる。このような分割終端抵抗と中点電圧とを用いて、図2の実施例のように電流調整回路を構成することにより、前記

図2の実施例で説明したように単時間でしかも互いにレベル調整の影響を受けないので高い精度でのレベル設定が可能になるものである。

【0026】上記の実施例から得られる作用効果は、下記の通りである。

(1) LVDS構成の複数の出力回路にそれぞれ電流調整用MOSFETを付加し、その1を1つのダミー出力回路として用いて出力端子に終端抵抗を接続してハイレベルとロウレベルを形成し、それを基準の出力ハイレベルとロウレベルレベルとそれぞれ比較して所望の出力レベルになるように上記電流調整用MOSFETの制御信号を形成するとともに、かかる制御信号を他の複数の出力回路の電流調整用MOSFETにそれぞれ供給して自動電流調整を行うことにより、低振幅信号を安定的に形成することができ、極めて使い勝手のよい半導体集積回路装置を得ることができるという効果が得られる。

【0027】(2) 上記電流調整用MOSFETを2進の重みを持つような電流を形成するようにし、上記制御回路として2進のカウンタ回路を用いて上記比較回路の出力により計数動作の制御を行うようにすることにより、簡単な構成での電流調整が可能になるという効果が得られる。

【0028】(3) 上記制御回路において、第1の動作では第1の比較回路及び第1のカウンタ回路によりハイレベルのレベル調整又は上記第2の比較回路及び第2のカウンタ回路によりロウレベルのレベル調整を行い、第2の動作では上記第2の比較回路及び第2のカウンタ回路によりロウレベルのレベル調整又は上記第1の比較回路及び第1のカウンタ回路によりハイレベルのレベル調整を行い、少なくとも第3の動作では上記第1の比較回路及び第1のカウンタ回路によりハイレベルのレベル調整又は上記第2の比較回路及び第2のカウンタ回路によりロウレベルのレベル調整を行うという簡単な制御動作の繰り返しにより、上記電流調整が可能になるという効果が得られる。

【0029】(4) 上記終端抵抗において、その中点に上記出力すべきハイレベルとロウレベルの中点電位を供給することにより、互いにレベル調整の影響を受けることなく、簡単に電流調整動作を行うようにすることができるという効果が得られる。

【0030】(5) 上記のような中点電位が供給された終端抵抗を用い、上記第1の比較回路及び第1のカウンタ回路によりハイレベルのレベル調整と上記第2の比較回路及び第2のカウンタ回路によりロウレベルのレベル調整とを同時に行うようにすることにより、短時間に高い精度での電流調整を行うようにすることができるという効果が得られる。

【0031】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種

々変更可能であることはいうまでもない。例えば、終端抵抗の抵抗値は、その伝送線路の特性インピーダンスに対応したものであればよい。また、出力電流も受信側の回路の性能に合わせて変更するものであってもよい。つまり、伝送される信号が低電圧又は低振幅の相補信号であって、前記のように終端抵抗に発生する電圧を受信回路が受信するものであれば、その信号レベルは種々に選択できるものである。電流調整用MOSFETは、前記のように2進の重みを持つもの他、同じ電流を流すようなMOSFETを複数個設け、カウンタ回路のデコード出力によりその動作する数を決めるようにするものであってもよい。このように電流調整用MOSFETで形成する電流と、その制御信号は種々の組み合わせにより構成できるものである。この発明は、低電圧又は低振幅の相補電流を形成して終端抵抗に流す出力回路を備えた各種半導体集積回路装置に広く利用することができるものである。

【0032】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、LVDS構成の複数の出力回路にそれぞれ電流調整用MOSFETを付加し、その1をつのダミー出力回路として用いて出力端子に終端抵抗を接続してハイレベルとロウレベルを形成し、それを基準の出力ハイレベルとロウレベルレベルとそれぞれ比

較して所望の出力レベルになるように上記電流調整用MOSFETの制御信号を形成するとともに、かかる制御信号を他の複数の出力回路の電流調整用MOSFETにそれぞれ供給して自動電流調整を行うことにより、低振幅信号を安定的に形成することができ、極めて使い勝手のよい半導体集積回路装置を得ることができる。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置の出力回路とその電流調整回路の一実施例を示す回路図である。

【図2】この発明に係る半導体集積回路装置の出力回路とその電流調整回路の他の一実施例を示す回路図である。

【図3】この発明に係る半導体集積回路装置を用いた信号伝送方法の一例を示す構成図である。

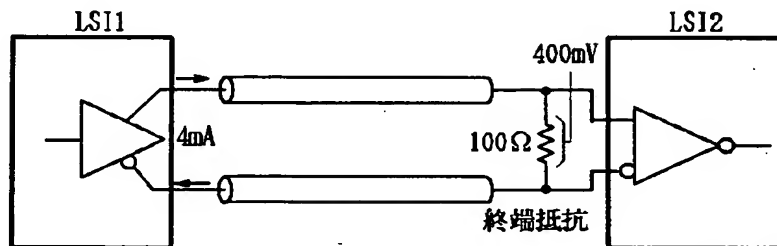
【符号の説明】

COUNT 1, COUNT 2…カウンタ回路、CONT…制御回路、DOB 1, DOB 2～DOBN…出力回路、LOG…内部論理回路、SA 1, SA 2…センス回路、MP00～MP11…Pチャンネル型MOSFET、MN00～MN11…Nチャンネル型MOSFET、MPS 1, MPS 2…電流調整用Pチャンネル型、MNS 1, MNS 2…電流調整用Nチャンネル型MOSFET、LSI 1, LSI 2…半導体集積回路装置。

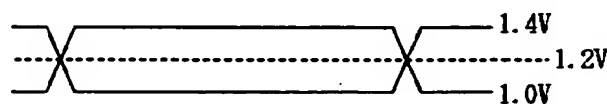
【図3】

図3

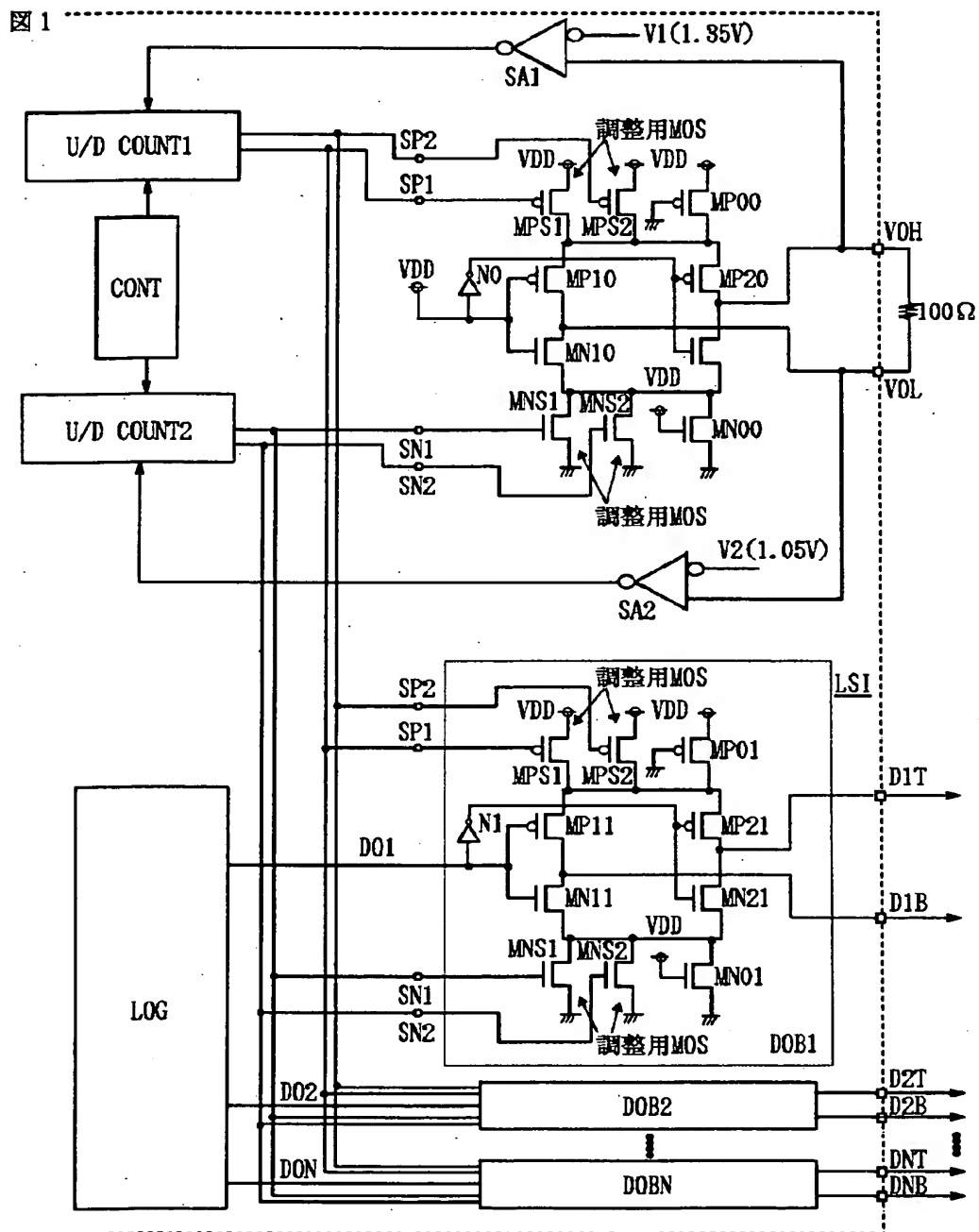
(A)



(B)



【図 1】



【図 2】

